

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164457

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01G 4/30

H01G 4/12

(21)Application number : 10-222106

(71)Applicant : SOSHIN ELECTRIC CO LTD

(22)Date of filing : 05.08.1998

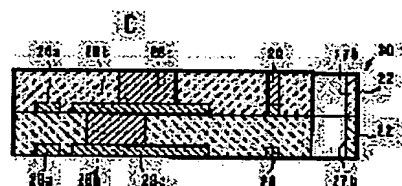
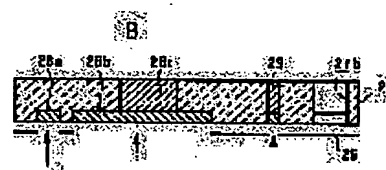
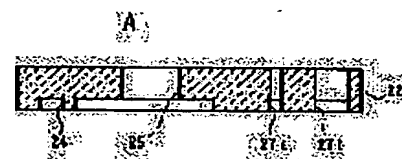
(72)Inventor : FUKAI TETSUYA

(54) MANUFACTURE OF ELECTRONIC PARTS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method by which electronic parts composed of a green sheet laminate, in which a variety of hole sections including end connections (via holes) can be formed easily through green sheets with positioning accuracy, can be manufactured.

SOLUTION: After a first solidified resist section is formed by laminating a first negative photoresist film upon a base film and exposing the photoresist, a second solidified resist section is formed by laminating a second negative photoresist film upon the first resist section and exposing the photoresist. Then a green sheet 22 is formed by removing the first and second negative photoresist films and applying and drying slurry. After the base film is stripped, the green sheet 22 is brought to completion by removing the first and second solidified resist sections and forming conductor patterns 28a and 28b, a conductive layer 29, and a through hole section 27b by filling conductive paste. Finally, electronic parts (green sheet laminate) 30 is formed by laminating the green sheet 22 upon another green sheet 22 and baking the laminate 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-164457

(P2000-164457A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 G 4/30	3 1 1	H 0 1 G 4/30	3 1 1 F 5 E 0 0 1
4/12	3 6 4	4/12	3 6 4 5 E 0 8 2

審査請求 未請求 請求項の数7 O L (全 15 頁)

(21)出願番号 特願平10-222106

(22)出願日 平成10年8月5日(1998.8.5)

(71)出願人 000201777

双信電機株式会社

東京都大田区中馬込1丁目18番18号

(72)発明者 深井 徹也

東京都大田区中馬込1丁目18番18号 双信

電機株式会社内

(74)代理人 100077665

弁理士 千葉 剛宏 (外1名)

最終頁に続く

(54)【発明の名称】 電子部品の製造方法

(57)【要約】

【課題】グリーンシートに端部接続部(ビアホール)を始めとする各種の孔部を位置決め精度よくかつ簡便に形成することができるグリーンシート積層体からなる電子部品の製造方法を提供する。

【解決手段】ベースフィルムに第1のネガフォトリソ膜を積層、露光して第1の固化レジスト部を形成し、ついで第2のネガフォトリソ膜を積層、露光して第2の固化レジスト部を形成し、ついで第1および第2のネガフォトリソ膜を除去し、ついでスラリーを塗布、乾燥してグリーンシート22を形成し、ついでベースフィルムを剥離し、ついで第1および第2の固化レジスト部を除去し、ついで導電性ペーストを充填して導電体パターン28a、28b、導電体層29、貫通孔部27bを形成してグリーンシート22を完成し、さらにグリーンシート22を積層、焼成して電子部品(グリーンシート積層体)30を完成する。

FIG. 3A

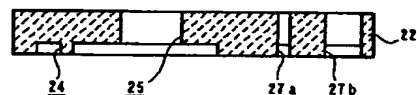


FIG. 3B

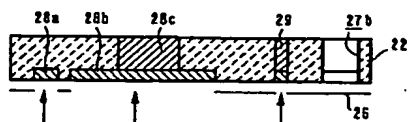
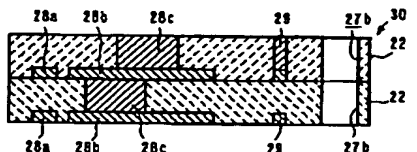


FIG. 3C



【特許請求の範囲】

【請求項1】導電体パターンが埋め込み形成されたグリーンシートを積層したグリーンシート積層体を焼成してなる電子部品の製造方法であって、
 フォトリソグراف処理を複数回繰り返すことにより、
 少なくとも、該フォトリソグراف処理1層分の厚みをもつ前記導電体パターンと、該フォトリソグراف処理2層分以上の厚みを持つ該導電体パターン各層の端部接続部とを同時にグリーンシートに埋め込み形成することを特徴とする電子部品の製造方法。

【請求項2】導電体パターンが埋め込み形成されたグリーンシートを積層したグリーンシート積層体を焼成してなる電子部品の製造方法であって、
 フォトリソグراف処理を複数回繰り返すことにより、
 少なくとも、該レジスト膜1層分の厚みをもつ前記導電体パターンと、該レジスト膜の複数層を貫通するシールド壁部位とを同時にグリーンシートに埋め込み形成し、

前記シールド壁部位を所定の位置にしてグリーンシートを積層してシールド壁を形成することを特徴とする電子部品の製造方法。

【請求項3】請求項1または2記載の電子部品の製造方法において、
 さらに貫通孔部または凹部を同時にグリーンシートに形成することを特徴とする電子部品の製造方法。

【請求項4】請求項3記載の電子部品の製造方法において、
 前記貫通孔部を前記グリーンシート各層の同位置に形成することにより、グリーンシート積層体の全層を貫通する全貫通孔部を形成し、
 前記全貫通孔部にグリーンシートの所定の層の導電体パターンの端子を接続する接続端子を設けることを特徴とする電子部品の製造方法。

【請求項5】請求項3記載の電子部品の製造方法において、
 前記貫通孔部を同位置にしてグリーンシートを積層して全層を貫通する全貫通孔部が設けられたグリーンシート積層体を形成し、
 前記全貫通孔部の位置でグリーンシート積層体を任意の導電体パターン単位に分割することを特徴とする電子部品の製造方法。

【請求項6】請求項3記載の電子部品の製造方法において、前記貫通孔部を前記グリーンシート各層のうちの少なくとも1層を除いて同位置にしてグリーンシートを積層して大半の層を貫通する半全貫通孔部が設けられたグリーンシート積層体を形成し、
 前記半全貫通孔部の位置でグリーンシート積層体を任意の導電体パターン単位に分割することを特徴とする電子

部品の製造方法。

【請求項7】請求項1～6のいずれか1項に記載の電子部品の製造方法において、第1のフォトリソグراف処理を現像して形成された1または2以上の孔部をアライメントマークとし、該アライメントマークを基準としてマスクを位置決めして第2層以降のフォトリソグراف処理をフォトリソグراف処理することを特徴とする電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、導電体パターンが埋め込み形成されたグリーンシートを積層したグリーンシート積層体を焼成してなる電子部品の製造方法に関する。

【0002】

【従来の技術】電子部品の小型化、薄型化の要請に応えるべく、グリーンシート（セラミックシート）を用い、該グリーンシート上に導電体パターンを形成して、これを積層することによりグリーンシート積層体とした各種受動素子の内蔵基板等の電子部品が製造されている。また、このグリーンシート積層体に多数の半導体素子を装着した耐熱性に優れた電子部品も製造されている。

【0003】このようなグリーンシート積層体からなる電子部品の製造方法としては、例えば、誘電体、磁性体、絶縁体等の各種セラミック粉末と有機バインダ、可塑剤、有機溶剤等を混合してスラリーを調製し、ドクターブレード法により、樹脂製のベースフィルム上に該スラリーを塗布した後、乾燥し、ついで該ベースフィルムを剥離してグリーンシートを形成する。

【0004】つぎに、上記したグリーンシートを所定の寸法に分割（裁断）し、パンチで孔開けして、アライメントマークとなる基準孔部およびビアホール（スルーホール）を形成する。このビアホールに導電性ペーストを充填して、積層後の導電体パターン各層の端部接続部（ビア部）となる部位を形成する。さらに、このグリーンシートの表面に、印刷法により、導電体パターン（導電性ペースト）を印刷する。印刷された導電体パターンを乾燥した後、前記アライメントマークを基準として位置合わせしながら該グリーンシートを積層し、所定の雰囲気および温度で焼成してグリーンシート積層体からなる電子部品が完成する。

【0005】この場合、グリーンシートを1層ごとに分割した後これらを分割したグリーンシートを積層する前記した方法に代えて、グリーンシートを積層した後、ダイシングソーにより凹状溝を形成し、あるいはハーフカットによりV状溝を形成することにより焼成後分割しやすくする、いわゆる、ハーフカット処理を施した後、グリーンシート積層体の焼成品をハーフカット位置で分割（チョコレートブレイク）する方法も用いられる。

【0006】

【発明が解決しようとする課題】このようにして形成される従来のグリーンシート積層体からなる電子部品は、グリーンシートを積層、圧着する際に、印刷された導電体パターンが凸部となり均一に加圧されず、焼成後の電子部品の表面に凹凸を生じる問題や、この導電体パターンと接続されるビアホールが押圧力により変形し、導電体パターン各層の端部接続部が潰れ、各層の導電体パターン間で断線する問題がある。なお、このビアホールを形成する方法に代えて、グリーンシート用のスラリと感光性導電性ペーストを交互に半分ずつ、印刷、乾燥して積み重ねていく印刷多層法が用いられることがあるが、この方法では、一層当たり半ターンしかコイルを巻くことができないことから印刷回数が増大し、また、導電性ペーストを印刷した後エッチング除去するため不経済である。

【0007】また、上記したグリーンシート積層体からなる電子部品の各層の導電体パターンの端子（端子電極）を接続する複数の接続端子（端子電極）等を設けることが行われており、この場合、パンチ装置を用いて、予めグリーンシートに孔部を形成し、このグリーンシートを積層した後、グリーンシート積層体を導電体パターンの単位毎に所定の寸法に分割し、分割されたグリーンシート積層体の側壁に半円柱状に形成された前記孔部に該接続端子が設けられる。しかしながら、パンチによりこのような孔部を形成する工程を設けることは煩雑である。

【0008】また、グリーンシート積層体の焼成品を導電体パターンの単位毎に所定の寸法に分割する場合、前記したように、予めグリーンシート積層体にミシン目状の孔部やV字状溝等の割れやすい部位を形成するハーフカット処理を施した後、該グリーンシート積層体を焼成し、このハーフカット位置で分割（ブレイク）することにより所定の寸法のグリーンシート積層体の焼成品を形成する。しかしながら、この場合、ハーフカット処理として、例えば、パンチングによって形成することができる孔の最小径は0.2mm程度が限度であり、かつ、このような孔を開けるためのピン（針）は折れやすく、消耗部品としてのコストが無視できない。また、レーザーによって1孔ずつ形成する方法は長時間を要して煩雑である。さらにまた、パンチにより形成された孔にばりを生じた場合、このばりが配線に落ちると断線が発生し、あるいは、印刷マスクに付着するとマスクの目詰まりによる印刷配線の断線が発生する不具合があり、またさらに、打ち抜いたグリーンシートの屑がピンに付着して戻り孔を塞ぐおそれもある。

【0009】本発明はこのような課題を考慮してなされたものであり、導電体パターンとともにグリーンシートにビアホールを始めとする各種の孔部を位置決め精度よくかつ簡便に形成することができ、特に、導電体パターンの端部接続部が潰れてグリーンシート各層の導電体パ

ターン間で断線することのない電子部品の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る電子部品の製造方法は、導電体パターンが埋め込み形成されたグリーンシートを積層したグリーンシート積層体を焼成してなる電子部品の製造方法であって、フォトレジスト膜形成とフォトリソグラフ処理を複数回繰り返すことにより、少なくとも、該レジスト膜1層分の厚みをもつ前記導電体パターンと、該レジスト膜2層分以上の厚みを持つ該導電体パターン各層の端部接続部とを同時にグリーンシートに埋め込み形成することを特徴とする。

【0011】これにより、フォトレジスト法によって形成された孔部に導電体パターン各層の端部接続部が確実に形成されることから、ビアホール形成工程を省略することができる。また、グリーンシート積層時にビアホールの側壁が変形することがないことから、導電体パターンの端部接続部が潰れ、グリーンシート各層の導電体パターン間で断線することがない。

【0012】また、本発明に係る電子部品の製造方法は、導電体パターンが埋め込み形成されたグリーンシートを積層したグリーンシート積層体を焼成してなる電子部品の製造方法であって、フォトレジスト膜形成とフォトリソグラフ処理を複数回繰り返すことにより、少なくとも、該レジスト膜1層分の厚みをもつ前記導電体パターンと、該レジスト膜の複数層を貫通するシールド壁部位とを同時にグリーンシートに埋め込み形成し、前記シールド壁部位を所定の位置にしてグリーンシートを積層してシールド壁を形成することを特徴とする。

【0013】これにより、グリーンシートにシールド壁構成部位が予め形成されることから、例えば、ビアホールに導電性ペーストを埋め込む方法に比べて、簡易な方法でかつ確実にシールド壁を形成することができる。

【0014】また、本発明に係る電子部品の製造方法は、フォトレジスト法によって、前記した導電体パターン各層の端部接続部用の孔部を形成し、あるいは、前記したシールド壁部位となる孔部を形成するとともに、さらに1または2以上の貫通孔または凹部を同時にグリーンシートに形成することを特徴とする。

【0015】これにより、グリーンシート積層法において適宜必要となる直線状、アングル状、T字状等任意の形状の孔部を簡便に形成することができる。

【0016】このとき、フォトリソグラフ法によって、貫通孔を前記グリーンシート各層の同位置に形成することにより、グリーンシート積層体の全層を貫通する全貫通孔部を形成し、前記全貫通孔部にグリーンシートの所定の層の導電体パターンの端子を接続する接続端子を設けると、グリーンシート1層毎あるいは全層にパンチにより該孔部を形成する必要がなく、好適である。この場合、グリーンシート積層体を接続端子の箇所を分割する

ことから、2つの電子部品に対応する2つの接続端子が形成されることになる。

【0017】また、前記1または2以上の貫通孔部を同位置にしてグリーンシートを積層して全層を貫通する全貫通孔部が設けられたグリーンシート積層体を形成し、前記全貫通孔部の位置でグリーンシート積層体を任意の導電体パターン単位に分割（チョコレートブレイク）すると好適である。このとき、前記1または2以上の貫通孔部を前記グリーンシート各層のうちの少なくとも1層を除いて同位置に形成することにより、該グリーンシート積層体の大半の層を貫通する半全貫通孔部を形成し、該半全貫通孔部の位置でグリーンシート積層体を分割してもよい。このとき、孔部の形成されていない層は切断せずに貫通孔部の形成された層のみについて導電体パターン単位（個片）毎にその全周を切断し、焼成後に先の未切断層を切断して導電体パターン単位に分割することもできる。これにより、ハーフカット処理工程が不要となり、またハーフカット処理したグリーンシートを積層した場合に生じるハーフカット位置ずれの問題がないために正確にグリーンシートを分割することができ、また、例えば、0.1mm程度以下の孔径の小さい孔を形成することができて好適である。

【0018】またさらに、本発明に係る電子部品の製造方法において、第1のフォトレジスト膜を現像して形成された1または2以上の孔部をアラインメントマークとし、該アラインメントマークを基準としてマスクを位置決めして第2層以降のフォトレジスト膜をフォトリソグラフィ処理すると、アラインメントマークを別途形成する工程を省略することができ、また、アラインメントマークを導電体パターンと一体的に形成することから位置決め精度よくフォトリソグラフィ処理を施すことができて、好適である。

【0019】

【発明の実施の形態】以下、本発明に係る電子部品の製造方法の好適な実施の形態例を図1A～図21を参照しながら説明する。

【0020】まず、第1の本実施の形態例に係る電子部品の製造方法について、図1A～図3Cを参照して、以下に説明する。

【0021】外形寸法として、例えば、幅および長さが約300mm、厚みが約200 μ mのPET（ポリエチレンテレフタレート）等のベースフィルム10を準備し、図示しない基準孔部を設ける。図1Aに示すように、暗室中で、このベースフィルム10上の全面に、感光性アクリル樹脂とエチルセルソルブ等の溶剤からなるフォトレジスト液（東京応化工業株式会社製「PME-R-N」）を塗布、乾燥して、厚みが約15 μ mの第1のネガフォトレジスト膜12を形成する。この場合、ベースフィルム10に代えて、マイラーテープあるいはPETテープ上にレジスト膜が既に形成されている、いわゆ

る、ドライフィルムを用いてもよい。このようなドライフィルムは、例えば、25 μ m、38 μ m、50 μ mの各厚みのものが市販されている。

【0022】について、図1Bに示すように、前記ベースフィルム10上に、前記基準孔部を基準として、マスク14を重ね、200～300mJ/cm²の光量を露光することにより、第1の固化レジスト部16a～16dを形成する。ここで、第1の固化レジスト部16a、16bは、例えば、導電体パターンに対応するものであり、そのうち第1の固化レジスト部16aは、例えば、導電体パターンのうち引き回し配線となる細線部に対応しその線幅は約50 μ mである。また、第1の固化レジスト部16c、16dは貫通孔部に対応するものであり、例えば、直径が約100 μ mの円柱状である。

【0023】について、図1Cに示すように、前記ベースフィルム10上に厚みが約25 μ mの第2のネガフォトレジスト膜18を形成し、マスク21を重ねて30～40mJ/cm²の光量を露光する。ここで、前記第2のネガフォトレジスト膜18は、例えば、該第2のネガフォトレジスト膜18を挟んで下カバーフィルムと上カバーフィルムをラミネート処理して形成したドライフィルム（デュボンMRCドライフィルム株式会社製「FRA063-25」）を用い、下カバーフィルムを剥離して前記ベースフィルム10の第1のネガフォトレジスト膜12に接着した後、マスク21を重ねて露光し、現像直前に上カバーフィルムを剥離することにより、レジスト液を直接塗布した場合に問題となる前記第1の固化レジスト部16a～16dの溶解を防ぐ。これにより、前記第1の固化レジスト部16bの一部および第1の固化レジスト部16c、16dの全面上にそれぞれ第2の固化レジスト部20a～20cを形成する。ここで、前記第2の固化レジスト部20aは、例えば、積層グリーンシートの導電体パターン各層の端部接続部（ビア導体）に対応するものであり、前記第1の固化レジスト部16bのうち該端部接続部（ビア導体）が積層される積層部を除いた部分は導電体パターンの本体（内層）に対応する。

【0024】について、図2Aに示すように、1%炭酸ナトリウム液をスプレーして前記第1および第2のネガフォトレジスト膜12、18を現像する。これにより、前記第1の固化レジスト部16a～16dと第2の固化レジスト部20a～20cとを凸部として前記ベースフィルム10上に形成する。なお、より好ましくは、前記第1のネガフォトレジスト膜12を露光し、専用現像液で現像、リンスした後、フォトレジストを塗布し、形成された前記第2のネガフォトレジスト膜18を露光し、現像、リンスする。この場合、ネガ、ポジのタイプも任意となる。一般的に、これらレジストのポジとネガおよび露光マスクのポジとネガの組み合わせは2通りあるが、いずれの場合も、2層目の露光時に1層目のレジスト膜

を変質させないように注意して行う。なお、現像後に、更に、全面露光すると、前記第1と第2の固化レジスト部16a~16d、20a~20cの膜強度を増すことができて好適である。

【0025】について、図2Bに示すように、前記ベースフィルム10上に前記第2の固化レジスト部20a~20cの頂部が露出する程度の厚みになるように該頂部以外の箇所にスクリーン印刷法でセラミックのスラリを塗布した後乾燥して、前記第1および第2の固化レジスト部16a~16d、20a~20cが埋め込まれたグリーンシート22を形成する。ここで、第2の固化レジスト部20a~20cの隆起部分は研磨により平滑にしておく。このとき、製品を多数個取りするために多数形成された導電体パターンの周囲に固化レジスト部を堤防状に形成し、硬いスキージでスラリ塗布を行うと、スラリが周囲に流れ出ることがなく、また、スラリの厚みを規制することができる。なお、大量生産する場合は、テープ状のPET等のベースフィルムの上にドクターブレード法で連続的にスラリを塗布することもできる。また、これらの方法に代えて、カーテンコート法等を用いてもよい。

【0026】ここでスラリは、シリカ(SiO_2)、アルミナ(Al_2O_3)等からなるセラミック粉末、ポリビニルブチラール(PVB)等からなる有機バインダ、可塑剤、有機溶剤等を混合して調製したものを用いる。また、これに代えて、チタン酸バリウム(BaTiO_3)等の誘電体材料、フェライト(Fe_2O_3)等の磁性体材料、絶縁体材料、酸化ルテニウム(RuO_2)等の抵抗体材料、バリスタ、サーミスタ等の酸化物半導体材料、およびこれらの混合物からなる材料から適宜選択して用いてもよい。

【0027】について、図2Cに示すように、前記グリーンシート22から前記ベースフィルム10を剥離し、さらに、図3Aに示すように、約3%の水酸化ナトリウム液等の剥離液をスプレーして前記第1および第2の固化レジスト部16a~16d、20a~20cを除去することにより、凹部24、段差付き貫通孔部25、貫通孔部27a、27bを形成する。なお、前記ベースフィルム10の剥離をこの段階で行わずに、後述するグリーンシート22の積層段階で行ってもよい。なお、グリーンシート22から前記ベースフィルム10を剥離する際には、互いに湾曲させながら行うため、該グリーンシート22およびベースフィルム10に可撓性をもたせておく。また、前記貫通孔部25、27a、27bの周囲にばりが残る場合は、適当な段階でその表面を研磨しておく。

【0028】について、前記グリーンシート22の貫通孔部25、27aの一端(図3A中、上方)から図示しない真空装置を用いて約67MPaの真空度で真空吸引しながら、該貫通孔部25、27aの他端側からマスク2

6を重ねて、印刷法により導電性ペーストを充填するとともに、前記凹部24にも導電性ペーストを充填する。ここで、グリーンシート22の厚みが小さいときは、真空吸引することなくそのまま導電性ペーストを充填してもよい。

【0029】これにより、図3Bに示すように、導電体パターン28a、導電体パターン各層の端部接続部28cが積層された導電体パターン28bおよび導電体層29の各部をグリーンシート22に埋め込み形成するとともに、貫通孔部27bを形成したグリーンシート22が完成する。したがって、前記グリーンシート22は、スラリの乾燥、収縮によりその厚みがやや小さくなるものの、前記第1および第2のレジスト膜12、18全体の厚みに対応する約 $15+25\mu\text{m}$ に近い厚みを有する。なお、前記端部接続部28cおよび導電体層29の頂部(グリーンシートより露出した箇所)は、付着した汚れを除去し、また、平滑面とするために研磨しておくことより好ましい。

【0030】ここで、導電性ペーストは、Agの粉末約90重量%にガラスフリット約10重量%および有機バインダ、溶剤を配合して調製したものを用いる。またAgに代えて、AgPd、AgPt、Cu、Pt、Ni等を用いてもよい。第1の本実施の形態例の方法によれば、貫通孔部25の一端から真空吸引することにより、深度が大きく(径と深さの比が1:1~1:2程度)かつ段差を有する該貫通孔部25の先端部まで確実に導電性ペーストを充填することができる。

【0031】また、上記した印刷法に代えて、マスク26を用いずに、硬めのスキージにより、メタロオーガニクス(金属有機化合物)を材料とする導電性ペーストを直接グリーンシート22の貫通孔部25、27aにすり込み、該貫通孔部25、27a以外のグリーンシート22の表面に付着した導電性ペーストを拭き取り、さらに、乾燥した後研磨することにより表面に残存する導電性ペーストを確実に除去する方法を用いると、一層好適である。

【0032】そして、図3Cに示すように、上記の方法により形成されたグリーンシート22を積層し、約80℃の温度で予熱して圧着した後、焼成炉に入れ、常温から約600℃の温度まで30~40℃/時間の割合で昇温し、その温度で1時間保持して脱バインダさせた後、70~80℃/時間の割合で約920℃まで昇温し、その温度で2時間保持して焼成(焼結)することにより、第1の本実施の形態例に係る電子部品30が完成する。ここで、導電性ペースト材料として、AgPd、AgPt、Pt等の貴金属を用いる場合は酸化雰囲気中で焼成し、Cu、Ni等の卑金属を用いる場合は還元雰囲気中で焼成する。なお、焼成後、グリーンシート22の積層体の最上層にポリイミド等の樹脂層を形成し、その上にIC等の部品を搭載すると好適である。この部品を搭載す

るための電極を設ける場合は、約850℃まで約1時間昇温し、10分間保持して焼成する。

【0033】つぎに、第2の本実施の形態例に係る電子部品の製造方法について、図4A～図7を参照して、以下に説明する。

【0034】まず、例えば、幅および長さがそれぞれ約200mm、厚みが約100 μ mのリン青銅を材料とするベースメタル32を準備し、図示しない基準孔部を設ける。図4Aに示すように、このベースメタル32をバフ研磨し、脱脂処理した後、レジスト液（東京応化工業株式会社製「PMER-P」）に浸漬し、乾燥して、厚みが約20 μ mの第1のポジフォトレジスト膜34を形成する。この場合、ベースメタル32の材料として、リン青銅に代えて、ステンレス等を用いてもよい。このとき、後工程で、スラリを乾燥した後、グリーンシートをベースメタル32から剥離するときに、該ベースメタル32の可撓性が要求されることから、ステンレス等を極力厚みの小さい薄板として用いることが好ましい。

【0035】ついで、図4Bに示すように、前記ベースメタル32上に、前記基準孔部を基準として、マスク36を重ね、前記第1のポジフォトレジスト膜34を露光、現像、リンスすることにより、第1の凹部38a～38dを前記ベースメタル32上に形成する。ここで、第1の凹部38a、38bは導電体パターンに対応するものであり、そのうち第1の凹部38aは、例えば、導電体パターンのうち引き回し配線となる細線部に対応しその線幅は約40 μ mである。また、第1の凹部38c、38dは貫通孔部に対応するものであり、それぞれ、例えば、直径が約70 μ m、600 μ mの円柱状である。

【0036】ついで、図4Cに示すように、前記第1の凹部38a～38dに銅からなる第1のめっき層40a～40dを充填形成する。ここで、前記第1のめっき層40a～40dの材料は前記した銅に代えて、ニッケル等を用いてもよい。

【0037】ついで、図5Aに示すように、前記第1のポジフォトレジスト膜34を形成したのと同様の方法で、前記ベースメタル32上に厚みが25 μ mの第2のポジフォトレジスト膜42を形成し、マスク44を重ねて、該レジスト膜42を露光、現像することにより、第2の凹部46a～46cを形成する。

【0038】ついで、図5Bに示すように、第1のめっき層40a～40dを形成したのと同様の材料および方法を用いて、前記第2の凹部46a～46cにめっきを施して、第2のめっき層48a～48cを充填形成する。ここで、めっきは、酸性硫酸銅浴中に前記ベースメタル32を負極として浸漬し、導電体パターン面側に陽極電極として銅板を配置した後、両極間に2mA/cm²の直流電流密度で電流を流して行い、前記レジスト膜42と同じ厚みの前記第2のめっき層48a～48cと

した。

【0039】ついで、図5Cに示すように、前記第1および第2のポジフォトレジスト膜34、42を除去して、該ベースメタル32上に前記第1のめっき層40aおよび第1のめっき層40b～40dに前記第2のめっき層48a～48cが積層された部位をそれぞれ凸部として形成したマスター50を作製する。前記マスター50は、異なる導電体パターンに対応して各層分複数用意する。

【0040】ついで、図6Aに示すように、前記マスター50のベースメタル32上に第2のめっき層48a～48cの頂部が露出する程度の厚みになるようにセラミックのスラリを積層した後乾燥して、前記第1のめっき層40a～40dと前記第2のめっき層48a～48cとが埋め込まれたグリーンシート52を形成する。ここで、スラリの材料およびスラリの積層方法は、第1の本実施の形態例と同様である。

【0041】ついで、図6Bに示すように、前記グリーンシート52から前記マスター50を剥離することにより、該グリーンシート52に第3の凹部54、段差付き貫通孔部56、貫通孔部58a、58bを形成する。

【0042】ついで、図6Cに示すように、前記グリーンシート52の貫通孔部56、58aの一端（図6C中、上方）から図示しない真空装置を用いて約67MPaの真空度で真空吸引しながら、マスク60を重ねて該貫通孔部56、58aの他端側から導電性ペーストを充填するとともに、前記第3の凹部54に導電性ペーストを充填することにより、導電体パターン62a、62bおよび導電体層64の各部をグリーンシート52に埋め込み形成するとともに、貫通孔部58bを形成したグリーンシート52が完成する。なお、前記導電体パターン62bおよび導電体層64の頂部（グリーンシート露出部）は研磨しておくことにより好ましい。ここで、導電性ペーストは、第1の本実施の形態例と同一の材料を用いる。また、第2の本実施の形態例の方法によれば、貫通孔部56、58aの一端から真空吸引することから、深度が大きい（径と深さの比が1：1～1：2程度）該貫通孔部56、58aの先端部まで確実に導電性ペーストを充填することができる。

【0043】そして、図7に示すように、上記の方法により形成された種々の導電体パターン62a、62bが形成されたグリーンシート52を組み合わせて積層し、これを第1の本実施の形態例と同じ条件で焼成することにより、第2の本実施の形態例に係る電子部品66が完成する。

【0044】つぎに、第3の本実施の形態例に係る電子部品の製造方法について、図8A～図11を参照して、以下に説明する。

【0045】まず、第1の本実施の形態例と同じ寸法、材料のベースフィルム67を準備し、図示しない基準孔

部を設ける。図8Aに示すように、暗室中で、このベースフィルム67上の全面に第1の本実施の形態例と同じ条件でフォトレジストを塗布、乾燥して、厚みが約20 μ mの第1のポジフォトレジスト膜68を形成する。

【0046】について、図8Bに示すように、前記ベースフィルム67上に、前記基準孔部を基準として、マスク70を重ね、露光、現像することにより、第1の凹部72a~72cを該ベースフィルム67上に形成する。

【0047】について、図8Cに示すように、第1の本実施の形態例と同じ条件で、マスク75を重ねて前記第1の凹部72a~72cに導電性ペーストを充填することにより、導電体パターン74a、74bおよび導電体層76を形成する。

【0048】について、図9Aに示すように、第1のポジフォトレジスト膜68を形成した場合と同様の方法で、前記ベースフィルム67上に厚みが約20 μ mの第2のポジフォトレジスト膜77を形成し、マスク78を重ね、該フォトレジスト膜77を露光、現像して、第2の凹部80a、80bを形成する。

【0049】について、図9Bに示すように、前記導電体パターン74a、74b、導電体層76を形成した場合と同様の条件で、マスク81を重ねて前記第2の凹部80a、80bに導電性ペーストを充填することにより、前記導電体パターン74b上に導電体パターン間の端部接続部82を形成し、また、前記導電体層76上に導電体層84を形成する。

【0050】ここで、前記第2の凹部80a、80bに導電性ペーストを充填する方法に代えて、導電性ペースト材料に含まれる金属を用いて無電解めっき処理をしてもよい。このとき、前記フォトレジスト膜77の表面にめっきが付着する場合は、研磨して除去する。なお、前記導電体パターン74b、導電体層76の表面を活性化させておき前記第2の凹部80a、80bのみ選択的にめっきを行えば、研磨の必要はない。これらの方法に代えて、Ag等の粉末、ガラスフリット、およびエチルセルロース等の有機物の粉末の混合物をスキージまたはローラで摺り切り充填した後、バインダをスプレーして固定させる方法を用いてもよい。この段階あるいは遅くとも後述するスラリを積層する前に、導電性ペースト（導電体パターン74a、74b、端部接続部82および導電体層76、84）を風乾後、約100℃の温度で約10分間乾燥して、導電性ペースト中の溶剤を蒸発させる。これにより、有機物がAg等の粉末およびガラスフリットを固定し、スラリ塗布が可能となり、スラリを積層した際に、グリーンシートが溶剤によりアタックされることがなく、また、導電性ペーストの有機ビークルとスラリの有機バインダの溶剤が互いの溶剤と相溶化して、スラリが流れてしまう不都合もない。

【0051】について、図10Aに示すように、前記ベースフィルム67上の前記基準孔部を基準として、マスク

86を重ね、前記第1および第2のポジフォトレジスト膜68、77を露光、現像することにより、前記導電体パターン74a、端部接続部82が積層された導電体パターン74bおよび導電体層76、84と、残存レジスト部88とを前記ベースフィルム67上に凸部として形成する。前記残存レジスト部88は、例えば、直径が約2mmの円柱状であり、グリーンシート積層時の基準穴用として、ベースフィルム67の外周に設ける。ここで、前記残存レジスト部88を形成する方法に代えて、前記第2の凹部80a、80bを形成する段階（図9A参照）で該残存レジスト部88に対応する位置に凹部を形成し、該凹部に低融点ワックスを充填する方法を用いてもよい。

【0052】について、図10Bに示すように、第1の本実施の形態例と同じ方法により、前記ベースフィルム67上に前記端部接続部82、導電体層84、残存レジスト部88の各頂部が露出する程度の厚みにセラミックのスラリを積層し、乾燥した後、前記ベースフィルム67を剥離することにより、前記導電体パターン74a、端部接続部82が積層された導電体パターン74b、導電体層76、84、および前記残存レジスト部88をグリーンシート90に埋め込み形成する。ここで、グリーンシート90から前記ベースフィルム67を剥離する際には、互いに湾曲させながら行うため、該グリーンシート90およびベースフィルム67には可撓性を付与しておく。なお、スラリの積層は、未露光の残存レジストがある場合は、暗室中で行う。また、例えば、前記グリーンシート90の厚みが小さい場合は、この段階で前記ベースフィルム67を剥離せずに、後述する該グリーンシート90を積層する段階で該グリーンシート90の面同士を圧着した後、該ベースフィルム67を剥離してもよい。

【0053】について、図10Cに示すように、約3%の水酸化ナトリウム液等の剥離液をスプレーして前記残存レジスト部88を除去して、前記グリーンシート90に貫通孔部92を形成する。なお、この段階で前記残存レジスト部88を除去することなく、該残存レジスト部88が埋め込み形成された前記グリーンシート90を積層、圧着した後、グリーンシート積層体の該残存レジスト部88をまとめて除去すると、積層、圧着時の前記貫通孔部92の変形を一層確実に防止できる。

【0054】そして、図11に示すように、上記の方法により形成されたグリーンシート90を積層し、これを第1の本実施の形態例と同じ条件で焼成することにより、第3の本実施の形態例に係る電子部品94が完成する。

【0055】上記第1~第3の本実施の形態例に係る電子部品30、66、94には、導電体パターンの位置決め精度が良好で、かつ寸法精度の高い貫通孔部が簡便な方法で形成されている。特に、フォトリソグラフ法によ

って形成された孔部にグリーンシート各層の導電体パターン間の端部接続部が確実に形成されている。

【0056】上記第1～第3の本実施の形態例のいずれかの電子部品の製造方法を用いて製造した第1および第2の実施例である電子部品を図12および図13に示す。

【0057】図12に示す電子部品96は、グリーンシート98を、例えば、6層積層して形成されており、各グリーンシート98には、導電体パターン（内層導体）100と、他の導電体パターン100との端部接続部（ビア導体）102とが設けられている。前記電子部品96の下部には、前記端部接続部102に接続して配線基板を実装するための厚膜導体104が設けられ、一方、上部には、同じく端部接続部102に接続して厚膜導体104が設けられるとともに、保護体106に被覆された抵抗体108が厚膜導体104に接続して設けられている。

【0058】また、図13に示す電子部品110は、グリーンシート112を、例えば、6層積層して形成されており、上層になるにつれて該グリーンシート112が短尺化されることによって該電子部品110の中央部に段差のある凹部114が形成されている。前記電子部品110は、図12の電子部品96の場合と同様に導電体パターン116、端部接続部118、厚膜導体120が設けられるとともに、前記凹部114にはIC部品122が設けられ、該IC部品122はワイヤボンディングにより設けられた細線124によって導電体パターン116に接続されている。なお、図示しないが、前記電子部品110の内層には、焼結温度または収縮率が同等の絶縁材（ $\epsilon < 10$ ）、誘電材（ $\epsilon > 20$ ）、磁性材、抵抗材、酸化物半導体材料等が立体的、平面的あるいは両者を組み合わせた形態で一体的に設けられている。

【0059】つぎに、第4の本実施の形態例に係る電子部品の製造方法として、前記した第1～第3の本実施の形態例のいずれかの方法を用いてグリーンシート積層体の内部にシールド壁を形成する方法について、図14を参照して、以下に説明する。

【0060】図14に示すように、第4の本実施の形態例の方法によって製造したグリーンシート積層体からなる電子部品125は、グリーンシート積層体の各グリーンシート126に導電体パターン128およびグリーンシート126各層の導電体パターン128の端部接続部130が形成されている。さらに、前記導電体パターン128と同一の材料を用いたシールド壁132が、該導電体パターン128を囲う形で電子部品125の内部に上下に貫通して形成されている。このシールド壁132は、前記第1～第3の本実施の形態例における前記導電体層29、64、76、84に対応するものであり、導電性ペーストあるいはグリーンシートと同時に焼成することが可能なフェライト等の磁性体ペーストを用いてグ

リーンシート126各層の同一の位置にグリーンシート126を貫通するシールド壁132に対応する部位を形成した後、グリーンシート126を積層することにより形成される。ここで、シールド壁132は、特定部分をシールドするために、グリーンシート126の特定の層のみに設けてもよい。

【0061】電子部品125の周辺に発生する電磁波は、前記シールド壁132によって遮断されて導電体パターン128側へ侵入することがなく、熱となって吸収されるか図示しない接地電極を介して該電子部品125の外側へ放出される。また、これとは逆に、電子部品125の内部に発生する電磁波は外部に放出されることがない。

【0062】上記した第4の本実施の形態例に係る電子部品125は、該電子部品125の内部に簡便な方法により正確にシールド壁132が形成されている。

【0063】つぎに、第5の本実施の形態例に係る電子部品の製造方法として、前記した第1～第3の本実施の形態例のいずれかの方法を用いてグリーンシート各層の導電体パターンの端子を接続する接続端子を設ける方法について、図15～図17を参照して、以下に説明する。

【0064】まず、図15に示すように、グリーンシート積層体134は、四隅に大径の貫通孔部136が形成され、また、図示しない導電体パターンの所定の単位ごとにその四辺に小径の貫通孔部138が形成されている。前記貫通孔部136、138は、前記した第1～第3の本実施の形態例の前記貫通孔部27b、58b、92に対応するものであり、同一の位置に孔部が形成されたグリーンシート各層を積層することにより設けられる。ここで、前記貫通孔部136は、グリーンシート各層を積層する際に位置決めするためのアラインメントマークであり、図示しないベース台の四隅に立設されたピンに該孔部が挿通されるようにしてグリーンシートが積層されている。

【0065】図示しないダイシングソー、カッター等の切断装置を用いて、図16に示すように、前記グリーンシート積層体134を導電体パターンの所定の単位ごとに分割する。分割後のグリーンシート積層体134aの周囲8箇所には、該グリーンシート積層体134aの全層を貫通する前記小径の貫通孔部138が半円状に分割されて溝部140a～140hが形成されている。前記グリーンシート積層体134aの溝部140a～140hに図示しない接続端子を設けて、電子部品が完成する。なお、前記小径の貫通孔部138は、全貫通孔ではなく、一方の端面側の所定の層のみを貫通する半貫通孔とすることもできる。図17中、144e、144fはこのように形成された半貫通孔に端子を設けた例を示す。この場合、端子の形成された上面と対向する下面は接続端子のない部品搭載面となる。

【0066】図16に示すグリーンシート積層体134aに接続端子を設けた一例として、図17に示す電子部品148は、上面および図示しない下面に端子電極142a~142fを設け、該端子電極142a~142fおよび図示しないグリーンシート各層の導電体パターンの端子を接続する接続端子144a~144hを前記溝部140a~140hの位置に設けた後焼成し、さらに、グリーンシート積層体134a上に電子部品素子146a、146bを設けることにより、該電子部品148が完成する。なお、この場合、前記端子電極142a~142fおよび接続端子144a~144hを前記グリーンシート積層体134を形成した時点で設け、その後焼成することにより、焼成作業を二度行う煩雑さを避けることができる。また、ここで、前記溝部140a~140hに対応する、図15中の前記貫通孔部138（すなわち、前記貫通孔部27b、58b、92に対応）をグリーンシート各層に形成する際に、導電性ペーストを、該貫通孔部27b、58b、92の内壁に塗布しておけば、分割することにより半円筒状の前記接続端子144a~144hとすることができ、あるいは、貫通孔部27b、58bに充填しておけば、半円柱状の前記接続端子144a~144hとすることができる。この場合、グリーンシート積層体134aの上下面、特に、下面に前記端子電極142a~142fを印刷、焼成等するのみでよく、電子部品148の製造工程が簡略化される。

【0067】上記した第5の本実施の形態例に係る電子部品148は、前記溝部140a~140hが簡略な方法で正確に設けられていることから、前記接続端子144a~144hを容易に取り付けることができる。

【0068】つぎに、第6の本実施の形態例に係る電子部品の製造方法として、前記した第1~第3の本実施の形態例のいずれかの方法を用いてハーフカット処理工程における貫通孔部または溝部に相当する部位をグリーンシートの1層毎に形成する第1および第2の実施例について、図18、図19を参照して、以下に説明する。

【0069】図18に示すように、第1の実施例の電子部品（グリーンシート積層体焼成品）150は、該電子部品150を図示しない導電体パターンの所定の単位ごとに容易に分割できるようにするために、該電子部品150の各グリーンシート152に複数の長尺な貫通孔部154を形成している。前記長尺な貫通孔部154は、前記第1~第3の本実施の形態例の前記貫通孔部27b、58b、92に対応するものであり、各グリーンシート152の同一の位置に該グリーンシート152を貫通する孔部を形成した後、グリーンシート152を積層して設けられる。このとき、前記貫通孔部154の内壁には、図16に示した半円状または半角状の前記溝部140a~140hに相当する溝をそれぞれ所定の層に所定数形成し、この箇所接続端子を対称位置に配列して

もよい。図示しない切断装置により、前記電子部品150の前記貫通孔部154の延長線上で交差するグリーンシート152の十字状の箇所を切断することにより、該電子部品150を所定の単位に分割し、その後所定の単位毎に（個片）焼成する。この場合、グリーンシート積層体を分割する前に焼成してもよい。このとき、第2の実施例として、図19に示すように、電子部品（グリーンシート積層体焼成品）156の、例えば、最下層のグリーンシート158aには孔部を設けることなく、該グリーンシート158a以外の各層158bにのみ十字状の孔部を形成したものを積層、圧着して、十字状の溝部160を設け、各層158bの連続する箇所およびグリーンシート158aの対応する箇所のみを切断して焼成した後、所定の単位毎に（個片）分割してもよい。また、前記最下層に代えて任意の中間層のグリーンシートに孔部を設けない方法であってもよい。なお、前記したグリーンシート積層体焼成品150を分割する方法に代えて、前記貫通孔部154を形成したグリーンシート152の各層について導電体パターンの所定の単位ごとに分割した後、該グリーンシート152を積層する方法を用いることもできる。

【0070】上記した第6の本実施の形態例に係る電子部品150、156は、任意の箇所に自在かつ簡便に形成された導電体パターンを所定の単位ごとに分割するための貫通孔部154または溝部160を利用して、正確かつ容易に分割して形成される。

【0071】つぎに、第7の本実施の形態例に係る電子部品の製造方法として、アラインメントマークを形成する方法について、図20A~図21を参照して以下に説明する。

【0072】図20A~図21は、前記した第3の本実施の形態例の方法の図8A~図9Aの工程に対応するものであり、まず、図20Aに示すように、ベースフィルム162にフォトレジストを塗布して約10 μ mの厚みの第1のポジフォトレジスト膜164を形成し、ついで、図20Bに示すように、該ベースフィルム162上に、マスク166を重ね、露光することにより、第1の凹部168a、168b、169を該ベースフィルム162上に形成し、ついで、図20Cに示すように、マスク170を重ねて該第1の凹部168a、168bに導電性ペーストを充填して、導電体パターン172a、172bを形成するとともに、前記第1の凹部169をアラインメントマーク174とする。ついで、図21に示すように、第1のポジフォトレジスト膜164を形成したのと同様の方法で、前記ベースフィルム162上に約20 μ mの厚みの第2のポジフォトレジスト膜176を形成し、前記アラインメントマーク174を基準としてマスク178を位置決めして重ね、レジスト膜176を露光することにより、第2の凹部180を形成する。ここで、前記第1のフォトレジスト膜164の色とベース

フィルム162の色とのコントラストを大きくしてアラインメントマーク174を容易に視認できるようにしておく。

【0073】上記した第7の本実施の形態例に係る電子部品は、ポジフォトリソ膜を複数回重ねて形成してフォトリソグラフ処理する場合に、マスクの位置決めを簡略でかつ精度よく行われていることから、導電体パターンが位置精度よく形成されている。

【0074】なお、上記した各本実施の形態例にかかわらず、本発明の電子部品の製造方法は、L、C、Rの単体またはこれらの複合体、フィルター、ハイブリッドIC、MCM（マルチチップモジュール）等の電子部品をはじめとして、各種複合部品に適用できる。

【0075】

【発明の効果】以上説明したように、本発明に係る電子部品の製造方法によれば、フォトリソ膜形成とフォトリソグラフ処理を複数回繰り返すことにより、少なくとも、該レジスト膜1層分の厚みをもつ前記導電体パターンと、該レジスト膜2層分以上の厚みを持つ該導電体パターン各層の端部接続部とを同時にグリーンシートに埋め込み形成している。

【0076】このため、ビアホール形成工程が省略され、また、グリーンシート各層の導電体パターン間で断線することがないという効果を得ることができる。

【0077】また、本発明に係る電子部品の製造方法によれば、フォトリソ膜形成とフォトリソグラフ処理を複数回繰り返すことにより、少なくとも、該レジスト膜1層分の厚みをもつ前記導電体パターンと、該レジスト膜複数層の全層を貫通するシールド壁部位とを同時にグリーンシートに埋め込み形成し、前記シールド壁部位を所定の位置にしてグリーンシートを積層してシールド壁を形成している。

【0078】このため、簡易な方法でかつ確実にシールド壁が形成される。

【0079】また、本発明に係る電子部品の製造方法によれば、フォトリソグラフ法によって、前記した導電体パターン各層の端部接続部用の孔部を形成し、あるいは、前記したシールド壁部位となる孔部を形成するとともに、さらに1または2以上の貫通孔部または凹部を同時にグリーンシートに形成している。

【0080】このため、グリーンシート積層法において適宜必要となる直線状、アングル状、T字状等任意の形状の孔部を簡便に形成することができる。

【0081】この場合、フォトリソグラフ法によって、貫通孔部を前記グリーンシート各層の同位置に形成することにより、グリーンシート積層体の全層を貫通する全貫通孔部を形成し、前記全貫通孔部にグリーンシートの所定の層の導電体パターンの端子を接続する接続端子を設けると、グリーンシート1層毎あるいは全層にパンチにより該孔部を形成する必要がない。

【0082】また、前記1または2以上の貫通孔部を同位置にしてグリーンシートを積層して全層を貫通する全貫通孔部が設けられたグリーンシート積層体を形成し、前記全貫通孔部の位置でグリーンシート積層体を任意の導電体パターン単位に分割（チョコレートブレイク）し、あるいは、前記1または2以上の貫通孔部を前記グリーンシート各層のうちの少なくとも1層を除いて同位置に形成することにより、該グリーンシート積層体の大半の層を貫通する半全貫通孔部を形成し、該半全貫通孔部の位置でグリーンシート積層体を分割する。

【0083】このため、ハーフカット処理工程を簡便化することが可能となり、また、正確にグリーンシートを分割することができ、さらに、例えば、0.1mm程度以下の孔径の小さい孔部を形成することができる。

【0084】またさらに、本発明に係る電子部品の製造方法によれば、第1のフォトリソ膜を現像して形成された1または2以上の孔部をアラインメントマークとし、該アラインメントマークを基準としてマスクを位置決めして第2層以降のフォトリソ膜をフォトリソグラフ処理するため、アラインメントマークを別途形成する工程を省略することができ、また、位置決め精度よくフォトリソグラフ処理を施すことができる。

【図面の簡単な説明】

【図1】図1Aは第1の本実施の形態例に係る電子部品の製造方法を説明するための概略工程図のうち、ベースフィルムにフォトリソ膜を塗布する工程を示す図であり、図1Bは図1Aにひきつづき、第1のネガフォトリソ膜を露光する工程を示す図であり、図1Cは図1Bにひきつづき、フォトリソ膜を塗布し、露光する工程を示す図である。

【図2】図2Aは図1Cにひきつづき、ネガフォトリソ膜を除去する工程を示す図であり、図2Bは図2Aにひきつづき、スラリを塗布、乾燥する工程を示す図であり、図2Cは図2Bにひきつづき、ベースフィルムを剥離する工程を示す図である。

【図3】図3Aは図2Cにひきつづき、固化レジスト部を除去する工程を示す図であり、図3Bは図3Aにひきつづき、導電性ペーストを充填して乾燥し、グリーンシートを完成する工程を示す図であり、図3Cは図3Bにひきつづき、グリーンシートを積層、焼成してグリーンシート積層体を完成する工程を示す図である。

【図4】図4Aは第2の本実施の形態例に係る電子部品の製造方法を説明するための概略工程図のうち、ベースフィルムにフォトリソ膜を塗布する工程を示す図であり、図4Bは図4Aにひきつづき、ポジフォトリソ膜を露光する工程を示す図であり、図4Cは図4Bにひきつづき、孔部にめっき層を充填形成する工程を示す図である。

【図5】図5Aは図4Cにひきつづき、フォトリソ膜を塗布し、露光する工程を示す図であり、図5Bは図5

Aにひきつづき、孔部にめっき層を充填形成する工程を示す図であり、図5Cは図5Bにひきつづき、ポジフォトレジスト膜を除去してマスターを完成する工程を示す図である。

【図6】図6Aは図5Cにひきつづき、マスターにスラリーを塗布、乾燥する工程を示す図であり、図6Bは図6Aにひきつづき、マスターを剥離する工程を示す図であり、図6Cは図6Bにひきつづき、導電性ペーストを充填して乾燥し、グリーンシートを完成する工程を示す図である。

【図7】図6Cにひきつづき、グリーンシートを積層、焼成してグリーンシート積層体を完成する工程を示す図である。

【図8】図8Aは第3の本実施の形態例に係る電子部品の製造方法を説明するための概略工程図のうち、ベースフィルムにフォトレジストを塗布する工程を示す図であり、図8Bは図8Aにひきつづき、ポジフォトレジスト膜を露光する工程を示す図であり、図8Cは図8Bにひきつづき、導電性ペーストを充填する工程を示す図である。

【図9】図9Aは図8Cにひきつづき、フォトレジストを塗布した後、露光する工程を示す図であり、図9Bは図9Aにひきつづき、導電性ペーストを充填する工程を示す図である。

【図10】図10Aは図9Bにひきつづき、ポジフォトレジスト膜を現像する工程を示す図であり、図10Bは図10Aにひきつづき、スラリーを塗布、乾燥した後、ベースフィルムを剥離する工程を示す図であり、図10Cは図10Bにひきつづき、固化レジスト部を除去し、グリーンシートを完成する工程を示す図である。

【図11】図10Cにひきつづき、グリーンシートを積層、焼成してグリーンシート積層体を完成する工程を示す図である。

【図12】第1～第3の本実施の形態例の方法により製造した第1の実施例の電子部品を示す図である。

【図13】第1～第3の本実施の形態例の方法により製造した第2の実施例の電子部品を示す図である。

【図14】第4の本実施の形態例に係る電子部品であるシールド壁が内部に形成されたグリーンシート積層体の断面図である。

【図15】第5の本実施の形態例に係る電子部品の製造方法を説明するための概略工程図のうち、準備したグリーンシート積層体の斜視図である。

【図16】図15にひきつづき、グリーンシート積層体を分割して形成した1つのグリーンシート積層体を示す斜視図である。

【図17】グリーンシート積層体に電子部品素子および接続端子が設けられた電子部品の斜視図である。

【図18】第6の本実施の形態例に係る電子部品の製造方法により、ハーフカット処理工程における貫通孔部に

相当する部位が形成された第1の実施例のグリーンシート積層体の部分斜視図である。

【図19】第6の本実施の形態例に係る電子部品の製造方法により、ハーフカット処理工程における貫通孔部に相当する部位が形成された第2の実施例のグリーンシート積層体の部分斜視図である。

【図20】図20Aは第7の本実施の形態例に係るグリーンシート積層体からなる電子部品の製造方法を説明するための一部省略した工程図のうち、ベースフィルムにフォトレジストを塗布する工程を示す図であり、図20Bは図20Aにひきつづき、フォトレジスト膜を露光する工程を示す図であり、図20Cは図20Bにひきつづき、導電性ペーストを充填して、アラインメントマークを形成する工程を示す図である。

【図21】図20Cにひきつづき、フォトレジストを塗布した後露光するに際し、アラインメントマークを基準としてマスクの位置決めを行う工程を示す図である。

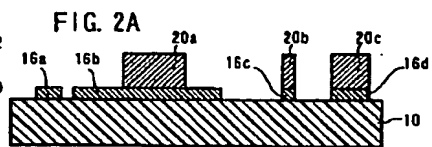
【符号の説明】

10、67、162…ベースフィルム
12、18、34、42、68、77、164、176…レジスト膜
14、21、26、36、44、60、70、75、78、81、86、166、170、178…マスク
16a～16d、20a～20c…固化レジスト部
22、52、90、98、112、126、152、158a…グリーンシート
24、38a～38d、46a～46c、54、72a～72c、80a、80b、114、160、168a、168b、169、180…凹部
25、27a、27b、56、58a、58b、92、136、138、154…貫通孔部
28a、28b、62a、62b、74a、74b、100、116、128、172a、172b…導電体パターン
29、64、76、84…導電体層
30、66、94、96、110、125、148、150、156…電子部品
32…ベースメタル
40a～40d、48a～48c…めっき層
50…マスター
82、102、118、130…端部接続部
88…残存レジスト部
104、120…厚膜導体 106…保護膜
108…抵抗体 122…IC
132…シールド壁
134、134a…グリーンシート積層体
142a～142f…端子電極 144a～144h…接続端子
146a、146b…電子部品素子 174…アラインメントマーク

【圖1】



【圖2】



【圖16】

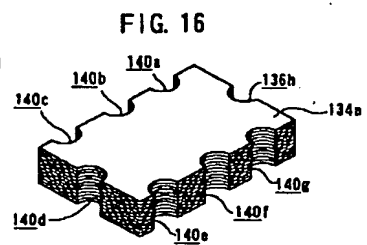


FIG. 1B

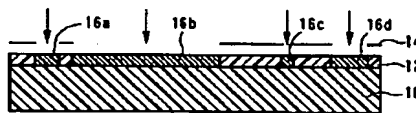


FIG. 2B

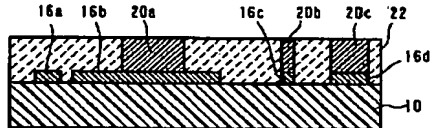


FIG. 1C

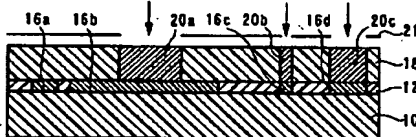
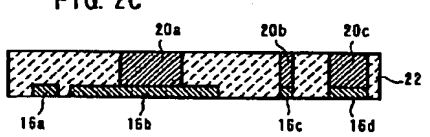
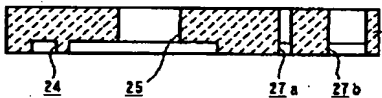


FIG. 2C



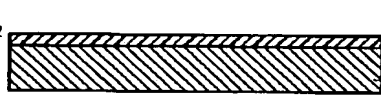
【圖3】

FIG. 3A



【圖4】

FIG. 4A



【圖17】

FIG. 17

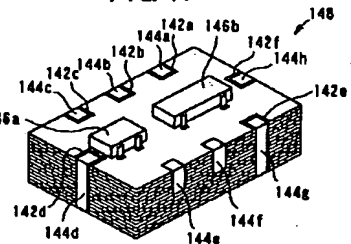


FIG. 3B

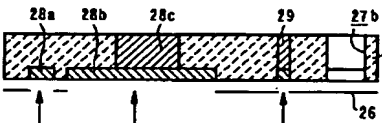
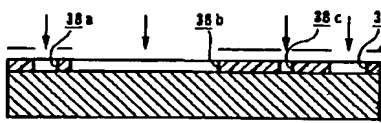


FIG. 4B



【圖19】

FIG. 19

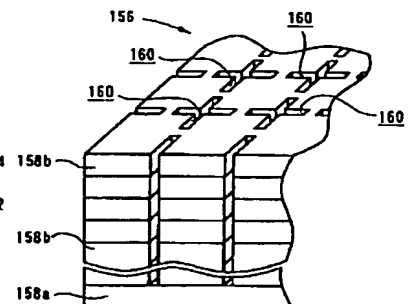


FIG. 3C

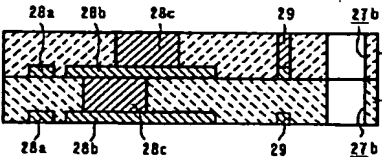
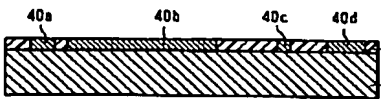
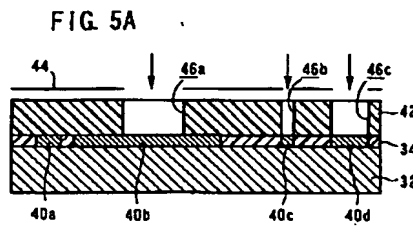


FIG. 4C



【図5】



【図6】

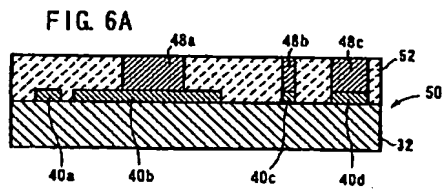


FIG. 5B

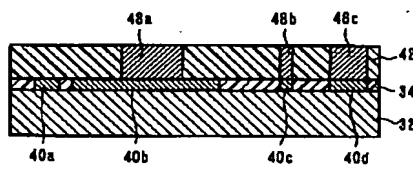


FIG. 6B

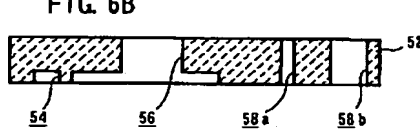


FIG. 5C

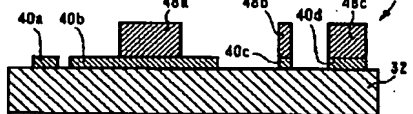
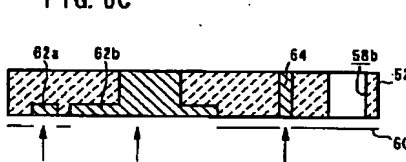
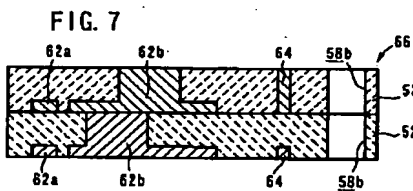


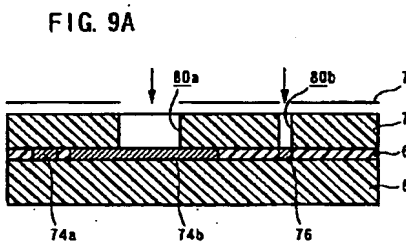
FIG. 6C



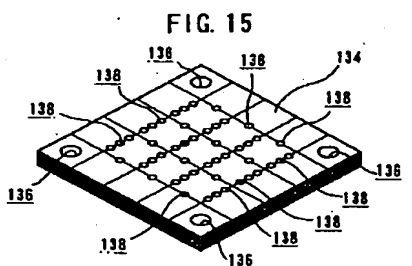
【図7】



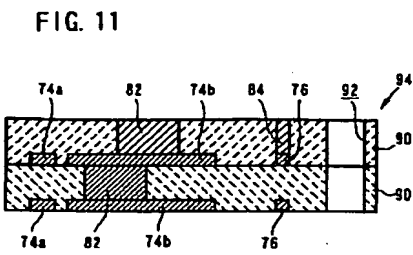
【図9】



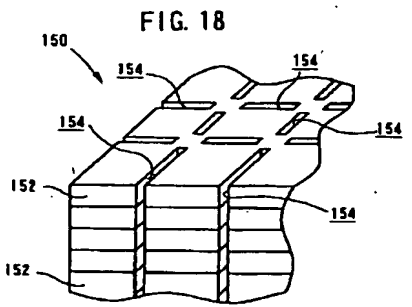
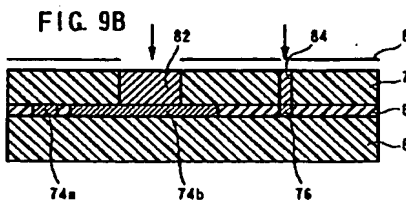
【図15】



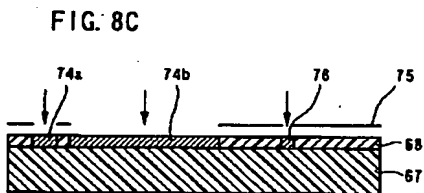
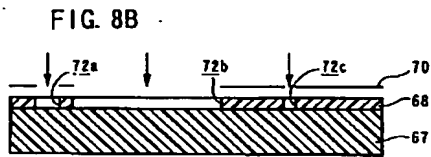
【図11】



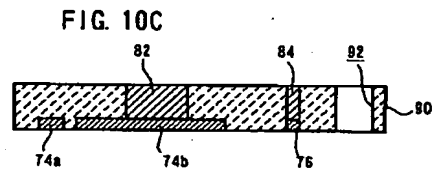
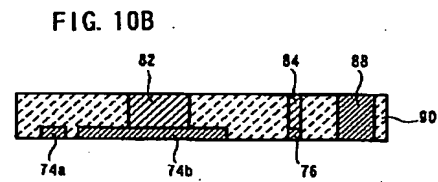
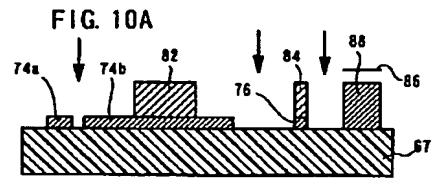
【図18】



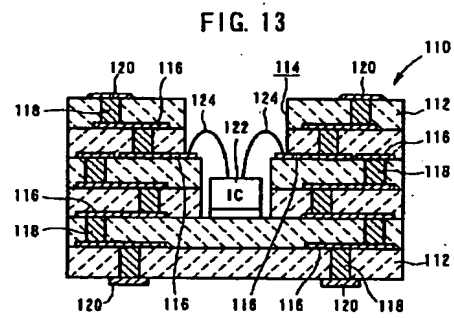
【図8】



【図10】

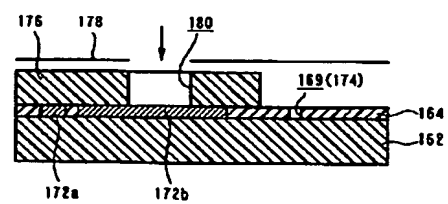


【図13】

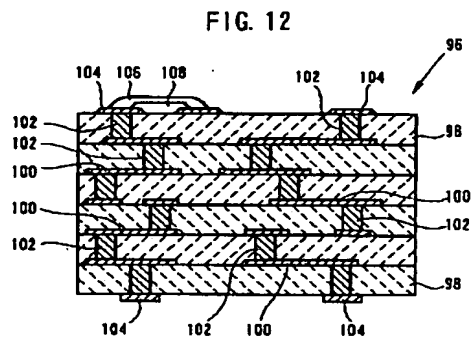


【図21】

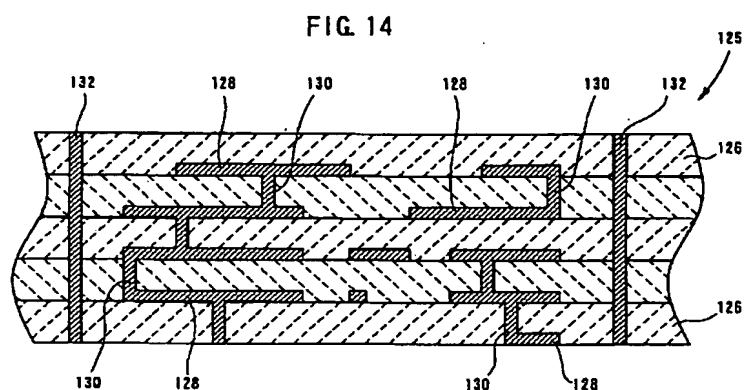
FIG. 21



【図12】



【図14】



【図20】

FIG. 20A



FIG. 20B

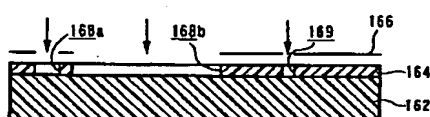
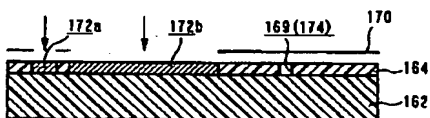


FIG. 20C



フロントページの続き

Fターム(参考) 5E001 AB03 AC04 AC05 AD04 AD05
AF03 AF06 AH01 AJ01 AJ03
AZ01
5E082 AB03 BC17 BC38 CC03 DD01
DD07 DD11 EE04 EE13 EE23
EE35 FF05 FG06 FG26 FG46
FG54 GG10 GG28 JJ02 JJ03
JJ05 JJ15 JJ23 KK01